

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-252392

(43)Date of publication of application : 09.09.1994

(51)Int.Cl.

H01L 29/784

(21)Application number : 05-039691

(71)Applicant : NEC CORP

(22)Date of filing : 01.03.1993

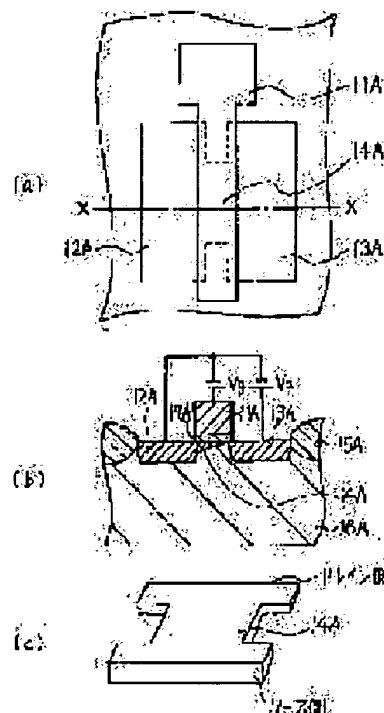
(72)Inventor : TOGO MITSUHIRO

(54) FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To improve reliability of an element by controlling generation of carriers in the vicinity of drain region during the use of a field effect transistor.

CONSTITUTION: In a field effect transistor, a cross-sectional area through which the carrier passes is changed depending on the position within the semiconductor substrate to alleviate a high internal field in the vicinity of the drain region 13A to prevent deterioration of a field effect transistor due to hot carriers by making shorter the entire width or the width of a part of the channel region 14A generated within a semiconductor substrate under the gate electrode 11A than the width of at least one of the source region 12A or drain region 13A.



LEGAL STATUS

[Date of request for examination] 01.03.1993

[Date of sending the examiner's decision of rejection] 06.02.1996

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 29/784

9054-4M

H 0 1 L 29/ 78

3 0 1 H

審査請求 有 請求項の数 1 O L (全 6 頁)

(21)出願番号 特願平5-39691

(22)出願日 平成5年(1993)3月1日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 東郷 光洋

東京都港区芝五丁目7番1号日本電気株式会社内

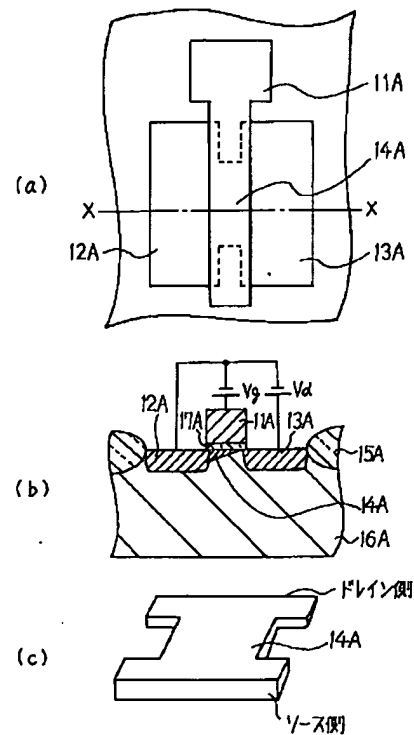
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 電界効果トランジスタ

(57)【要約】

【目的】電界効果トランジスタの使用時に生じるドレイン領域近傍のホットキャリア発生を抑えて素子の信頼性を改善する。

【構成】電界効果トランジスタにおいて、ゲート電極11A下の半導体基板内部に生じるチャンネル領域14Aの全体の幅またはその一部の幅を、少なくともソース領域12Aまたはドレイン領域13Aの一方の幅より短くすることにより、キャリアの通過する断面積を半導体基板内部の位置により変化させて、ドレイン領域13A近傍の高い内部電界を緩和してホットキャリアによる電界効果トランジスタの劣化を防ぐ。



【特許請求の範囲】

【請求項1】 一定距離を有して対向する一対のソース・ドレイン領域を含み、チャネル領域の幅が前記ソース・ドレイン領域のうち少なくともドレイン領域とみなせる側に接する部分より狭い部分を有していることを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電界効果トランジスタの構造に関するものである。

【0002】

【従来の技術】電界効果トランジスタ、特にMOSFETは集積回路の高集積化、高性能化の進行に伴って微細化が進められてきたが、素子のチャネル方向には 10^5 V/cm以上の内部電界が加わるようになると、電子の離脱現象を引き起こし、その際に発生する高エネルギーを持った電子及び正孔が電界効果トランジスタのゲート絶縁膜に注入されて捕獲され、しきい値電圧の変動や伝達コンダクタンスの劣化といった経時変化を生じさせて問題になっている。

【0003】図6(a)はNチャネルMOSFETの平面図、図6(b)は図6(a)のX-X線断面図(ドレイン電圧 V_d 、ゲート電圧 V_g を印加したときのチャネル領域も併せ図示)、図6(c)はチャネル領域の概略を示す斜視図である。

【0004】図6(a)に示す従来の構造のNチャネルMOSFETを使用する場合、ピンチオフの状態が生じて図6(b)の断面図のようにチャネル領域14ではソース領域12からドレイン領域13に近づくに従って、ゲート電圧 V_g とドレイン電圧 V_d の相互作用により反転層(14)の深さが浅くなり、図6(c)に示すようにキャリアの通過するチャネル領域の断面積は小さくなりさらにはドレイン領域の近傍ではピンチオフ領域が発生して内部電界を高くする。その結果としてドレイン領域近傍でキャリアは高い内部電界により高エネルギーを得てゲート絶縁膜17に注入されたり、電子の離脱現象を引き起こし、その際に発生する高エネルギーを持った電子及び正孔がゲート絶縁膜17に注入されて捕獲され、しきい値電圧の変動や伝達コンダクタンスの経時劣化を生じさせる。

【0005】この高エネルギー・キャリアの悪影響への対策として、素子内の高電界を抑制する為に、トランジスタ内部のドレイン領域近傍の電界を弱める2重ドレイン構造やLDD構造(ライトリィ・ドープト・ドレイン構造)及び埋め込みチャネル構造等の電界効果トランジスタの半導体基板内部の不純物の濃度プロファイルが検討されている。

【0006】LDD構造のMOSFETは次のようにして形成される。

【0007】まず、図7(a)に示すように、P型シリ

コン基板16の活性領域の表面にゲート酸化膜17を形成し、ゲート電極17を形成する。

【0008】次に、図7(b)に示すように、イオン注入法により n^- 型ソース領域12-1、 n^- 型ドレイン領域13-1を形成し、側壁スペーサ19を形成し、犠牲酸化シリコン膜20を形成する。

【0009】次に、図7(c)に示すように、イオン注入法により n^+ 型ソース領域12-2および n^+ 型ドレイン領域13-2を形成し、犠牲酸化シリコン膜20を除去する。

【0010】しかし、トランジスタの半導体基板内部の不純物の濃度プロファイルをLDD構造等にとすると、動作電流が減少する問題が生じる。トランジスタの半導体基板内部の不純物プロファイルの最適化は、トランジスタとしてのスイッチング特性と長期信頼性という二つの要素を考慮して不純物プロファイルを設計することの困難さと、半導体基板内部に設計に従った不純物を配置するプロセス上の困難さから、非常に難しいうえに、もしそれが可能であるとしても製造工程は複雑であり、製造工程数が多くなる。

【0011】

【発明が解決しようとする課題】上述した従来のMOSFETでは、高エネルギー・キャリアによる悪影響を抑止して長期信頼性を確保することは困難になってきているという問題がある。

【0012】本発明の目的は、電界効果トランジスタに於いて、半導体基板内部の不純物領域の構造の操作をおこなわずに、ドレイン領域近傍の電界を弱めることができる電界効果トランジスタの構造を提供することにある。

【0013】

【課題を解決するための手段】本発明の電界効果トランジスタは、一定距離を有して対向する一対のソース・ドレイン領域を含み、チャネル領域の幅が前記ソース・ドレイン領域のうち少なくともドレイン領域とみなせる側に接する部分より狭い部分を有しているというものである。

【0014】

【作用】チャネル領域の幅がドレイン側で最大寸法を有しているのでドレイン領域近傍で断面積が大きくソース・ドレイン領域の構造とは独立に内部電界を緩和できる。

【0015】

【実施例】図1(a)は本発明の一実施例を示す平面図、図1(b)は図1(a)のX-X線における断面模式図、図1(c)は動作時のチャネル領域の形状を概略的に示す斜視図である。

【0016】まず、この実施例の製造方法について説明する。

【0017】図2(a)に示すように、P型シリコン基

板1bの表面に、位置により素子領域となる部分の幅が異なる素子分離フィールド絶縁膜15Aを形成する。次に図2(b)に示すように、素子分離フィールド絶縁膜15Aの形成されていないP型シリコン基板1bの表面にゲート酸化膜17Aを形成し、素子分離フィールド絶縁膜15Aと位置により幅の異なるゲート酸化膜17Aの上部にゲート電極11Aを形成する。次に素子分離フィールド絶縁膜15Aとゲート電極11Aとをマスクにしてソース領域およびドレイン領域となる不純物をイオン注入し、こうして形成されたソース領域およびドレイン領域にそれぞれ接続するソース電極18Asおよびドレイン電極18Adを、図2(c)に示すように、形成する。

【0018】このようにして形成されたNチャネルMOSFETにゲート電圧 V_g 及びドレイン電圧 V_d を印加すると図1(b)に示すように従来構造のNチャネルMOSFETと同じく、ソース領域12Aからドレイン領域13Aに近づくに従ってチャネル領域の反転層14Aの深さは浅くなる。しかし、図1(c)に示すようにチャネル領域14Aの幅をドレイン領域13A近傍において広げることにより断面積が大きくなっている。

【0019】MOSFETはピンチオフ状態で用いられるのでドレイン領域近傍に高抵抗領域ができる。チャネル領域に沿ってドレイン領域側に近づくほど抵抗は大きくなる結果、ドレイン領域近傍に高電界が生じる。MOSFETのコンダクタンスはチャネル幅に比例するので、ドレイン領域近傍でチャネル幅を広くすることによりドレイン領域近傍での電界の強さを緩和できる。

【0020】このように本発明ではゲート電極下のチャネル領域の形状を部分的に変形することにより断面積を変えて、ドレイン領域近傍の高電界を、半導体基板内部の不純物濃度の操作を行わないで緩和できる。

【0021】なお、PチャネルMOSFETについても同様の効果がある。

【0022】図3(a)は本発明の一実施例をLDD構造を有するNチャネルMOSFETに適用した例を示す平面図、図3(b)は図3(a)のNチャネルMOSFETとドレイン電流が等しくなる寸法を有する普通のLDD構造を有するNチャネルMOSFETの平面図、図3(c)は図3(a)の断面図、図4は図3(a)及び図3(b)でそれぞれ示される本発明のMOSFETの内部電界の強さ分布のシミュレーション結果を示す特性図である。

【0023】図3(a)、(c)において、ゲート酸化膜の厚さは8nm、側壁スペーサ19Aの幅は0.1 μ mである。16AはN型シリコン基板にボロンを70keVで $1.5 \times 10^{13}/\text{cm}^2$ 注入したのち1200℃、2時間の熱処理を行なって形成したPウェルである。n⁻型ソース領域12A-1、n⁻型ドレイン領域13A-1を形成するためリンを40keVで $2.0 \times$

$10^{13}/\text{cm}^2$ 注入し、n⁺型ソース領域12A-2、n⁺型ドレイン領域13A-2を形成するためヒ素を50keVで $4 \times 10^{15}/\text{cm}^2$ 注入し、850℃、30分の熱処理を行なった。ゲート電極の幅(ゲート長)は0.4 μ mである。

【0024】図4から明らかなように、ドレイン領域近傍の内部電界の強さは50～70%に低くなっている。

【0025】このように、本発明はチャネル領域の平面形状を変えるだけでドレイン領域近傍の電界の強さを低くすることができるので、LDD構造等の複雑なMOSFETに適用することができ、これらのMOSFETが本来有している電界緩和を一層改善することができる。

【0026】図5は本発明による電界効果トランジスタのチャネル領域の形状の変形例の構成を示す平面図である。なお、図面にはチャネル領域の形状のみを示す。上述した実施例に基き、図5(a)におけるチャネル領域の幅Yと幅Wの比率、またはチャネル領域の長さLと長さXとの比率を変えることによりドレイン領域近傍の高内部電界を緩和することができるが、図5(b)や

(c)のチャネル領域の形状にしてドレイン領域近傍の高内部電界を緩和することもできる。なお、これまでに説明した本発明におけるチャネル領域はソース領域側とドレイン領域側に対して対称な構造をしているが、図5(d)に示すように、ドレイン領域側となる一方のチャネル領域の幅のみを広くしてもよいことは明らかである。

【0027】

【発明の効果】以上説明したように、本発明の電界効果トランジスタは、ゲート電極下のチャネル領域の幅がドレイン領域側で最大寸法を有しているので、ドレイン領域近傍の内部電界の強さを緩和することができ、電界効果トランジスタの経時劣化を大きく抑制することができる。

【0028】本発明による電界効果トランジスタのドレイン領域における高内部電界の緩和手段は、半導体基板内部の不純物の濃度プロファイルを操作するものでないので、本発明による電界効果トランジスタの製造方法および構造設計の最適化は簡単であり、本発明による電界効果トランジスタの構造によってドレイン領域近傍の高内部電界を十分緩和できるが、従来の半導体基板内部の不純物の濃度プロファイルを操作することによる高内部電界緩和手段とあわせて適用することもできる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す平面図(図1

(a))、断面図(図1(b))およびチャネル領域の斜視図である。

【図2】一実施例の製造方法の説明のための(a)～(c)に分図して示す工程順斜視図である。

【図3】一実施例を適用したLDD構造のMOSFETの平面図(図3(a))、通常のLDD構造のMOSF

ETの平面図（図3（b））および前者の断面図（図3（c））である。

【図4】一実施例および従来例における内部電界の強さ分布を示す特性図である。

【図5】一実施例の各種の変形を示す平面図である。

【図6】従来のNチャネルMOSFETの平面図（図6（a））、断面図（図6（b））およびチャネル領域の斜視図（図6（c））である。

【図7】従来のLDD構造のNチャネルMOSFETの製造方法の説明のための（a）～（c）に分図して示す工程順断面図である。

【符号の説明】

11, 11A, 11B, 11C, 11D ゲート電極

12, 12A ソース領域

12-1, 12A-1 n^- 型ソース領域

12-2, 12A-2 n^+ 型ソース領域

13, 13A ドレイン領域

13-1, 13A-1 n^- 型ドレイン領域

13-2, 13A-2 n^+ 型ドレイン領域

14, 14A, 14B, 14C, 14D チャネル領域

15, 15A フィールド絶縁膜

16, 16A P型シリコン基板（又はPウェル）

17, 17A ゲート酸化膜

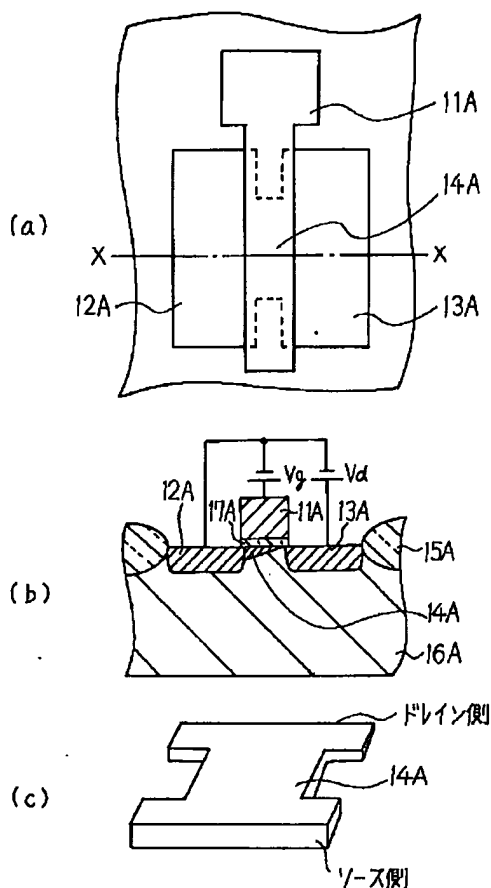
18Ad ドレイン電極

18As ソース電極

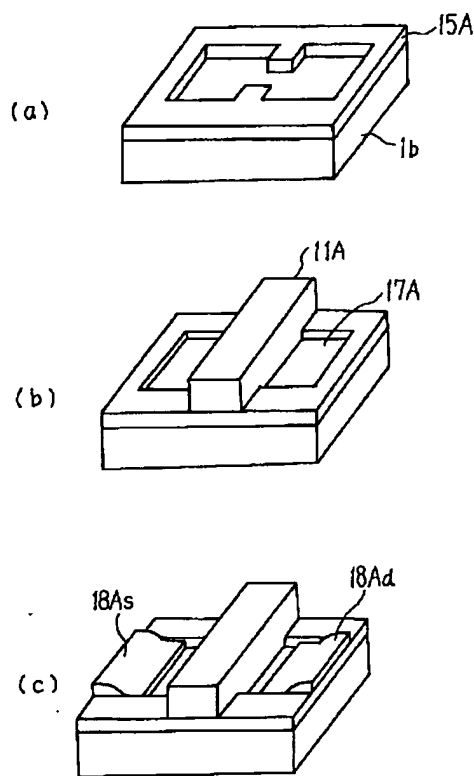
19, 19A 側壁スペーサ

20 犠牲酸化膜

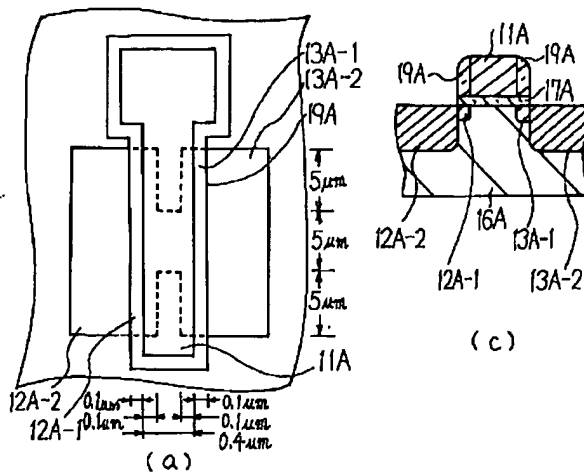
【図1】



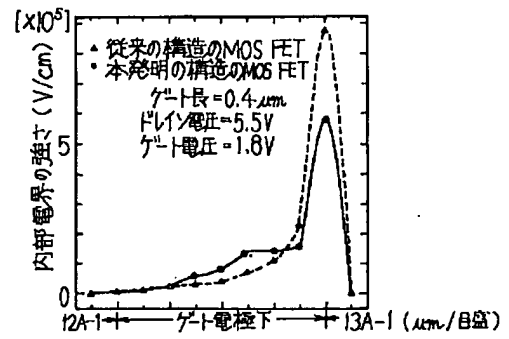
【図2】



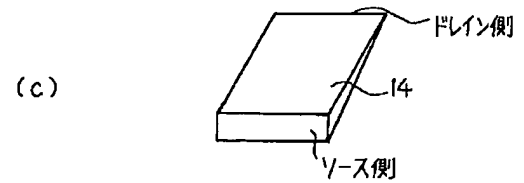
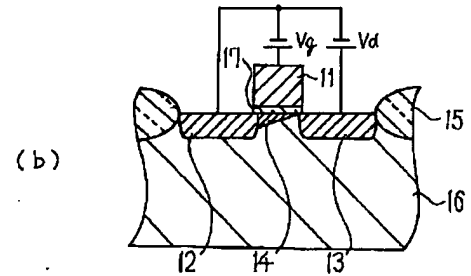
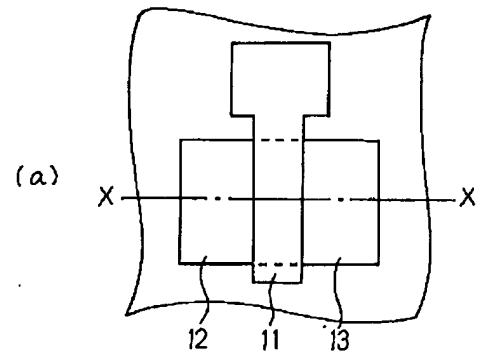
【図3】



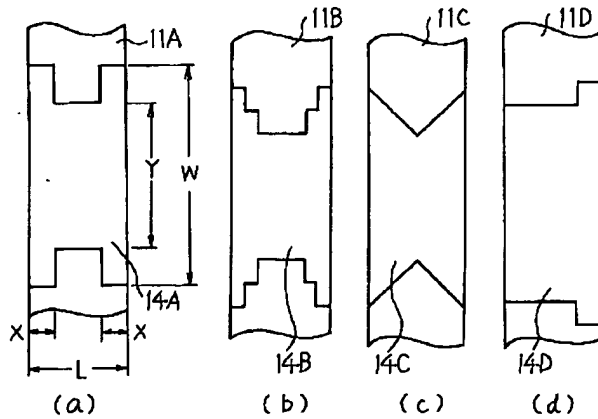
【図4】



【図6】



【図5】



【図7】

